

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 100295041 B1  
(43)Date of publication of application: 24.04.2001

(21)Application number: 1019980006611  
(22)Date of filing: 28.02.1998

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: KIM, GYU HONG

(51)Int. Cl. G11C 11/34

## (54) SEMICONDUCTOR DEVICE HAVING PRECHARGE CONTROL CIRCUIT AND PRECHARGE METHOD

## (57) Abstract:

PURPOSE: A semiconductor device having a precharge control circuit and a precharge method are provided to reduce a writing time by changing a precharge scheme in a semiconductor device such as MML and a memory device.

CONSTITUTION: A pair of bit lines is connected to many memory cells(301). A pair of Input/output(I/O) lines is connected to the pair of bit lines via a column selection gate(305). A precharge circuit precharges/equalizes the pair of I/O lines in response to a precharge signal in case of a writing operation and a reading operation. I/O line driver receives an input data in response to an enable signal during the writing operation, and drives the pair of I/O lines. A precharge control circuit(311) generates the precharge signal in response to a precharge control signal informing the precharge operation starting and the enable signal so as to make the precharge/equalizing time in case of the writing operation be shorter than the precharge/equalizing time in case of the reading operation. The enable signal is enabled prior to a predetermined time at which a column selection line for controlling the column selection gate is enabled. The precharge signal is disabled by enabling the enable signal.

&copy; KIPO 2002

## Legal Status

Date of final disposal of an application (20010314)

Patent registration number (1002950410000)

Date of registration (20010424)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 11/34		(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년07월12일 10-0295041 2001년04월24일
(21) 출원번호 (22) 출원일자	10-1998-0006611 1998년02월28일	(65) 공개번호 (43) 공개일자	특1999-0071260 1999년09월15일

(73) 특허권자	삼성전자 주식회사 윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 김규홍
(74) 대리인	서울특별시 서초구 서초2동 1335번지 무지개아파트 2동 709호 권석홍, 노민석, 이영필

심사관 : **국준영**

**(54) 프리차지제어회로를구비하는반도체장치및프리차지방법**

**요약**

기입동작에서의 프리차지 시간이 짧아짐으로써 기입시간이 감소되는 반도체장치 및 프리차지 방법이 개시된다. 상기 반도체장치는, 입출력라인 쌍, 프리차지 회로, 입출력라인 드라이버를 구비하며 특히 프리차지 제어회로를 구비하는 것을 특징으로 한다. 상기 프리차지 회로는, 기입동작 및 독출동작시 프리차지 신호에 응답하여 상기 입출력라인 쌍을 프리차지하고 등화시킨다. 상기 입출력라인 드라이버는, 기입동작시 인에이블 신호에 응답하여 입력데이터를 받아 상기 입출력라인 쌍을 구동한다. 특히 상기 프리차지 제어회로는, 기입동작시의 프리차지 및 등화 시간이 독출동작시의 프리차지 및 등화 시간보다 짧아지도록 하기 위해, 프리차지 동작의 시작을 알리는 프리차지 제어신호와 상기 인에이블 신호를 논리곱하여 상기 프리차지 신호를 발생하며, 상기 인에이블 신호는 칼럼선택라인이 인에이블되기 소정의 시간 전에 인에이블된다.

**도표**

**도3**

**명세서**

**도면의 간단한 설명**

- 도 1은 종래의 반도체 메모리장치의 블록도
- 도 2는 도 1에 도시된 종래의 반도체 메모리장치의 동작 타이밍도
- 도 3은 본 발명에 따른 반도체장치의 블록도
- 도 4는 도 3에 도시된 입출력라인 드라이버 및 프리차지 회로와 프리차지 제어회로의 상세 회로도
- 도 5는 도 3에 도시된 본 발명에 따른 반도체장치의 동작 타이밍도

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체장치에 관한 것으로, 특히 반도체장치의 기입동작에서의 프리차지 스킴에 관한 것이다.

PC, 멀티미디어 시스템의 발전에 따라 고속 반도체 메모리장치에 대한 요구가 더욱 증대되고 있다. 또한 근래에 반도체 설계기술 및 제조기술의 발전에 따라 또한 시스템의 원가 절감에 대한 요구에 따라 로직 반도체장치들과 고속 메모리 반도체장치, 특히 범용 싱크로너스 디램을 하나의 칩에 집적시키는 MML(Merged Memory with Logic)이 개발되고 있다. 따라서 고속 반도체 메모리장치에 대한 필요성은 더욱 증대되고 있으며, 이에 따라 반도체 메모리장치의 동작속도를 향상시키기 위한 여러 가지 방법들이 시도되고 있다. 반도체 메모리장치의 동작속도를 향상시키기 위해서는, 데이터패스(Data Path), 즉 외부에서 인가되는 데이터를 메모리셀에 기입하기 위한 기입(Write) 데이터패스와 메모리셀에 저장된 데이터를 외부로 독출하기 위한 독출(Read) 데이터패스에서 신호의 전달속도를 증가시키는 것이 필요하다.

도 1은 종래의 반도체 메모리장치의 블록도로서, 여기에서는 데이터패스만이 도시되어 있다. 도 1을 참조하면, 상기 반도체 메모리장치는, 다수의 메모리셀들(101)(여기에서는 1개만이 도시되었음)이 접속되는

비트라인 쌍(BL,  $\overline{BL}$ )과, 비트라인 감지증폭기(103)과, 칼럼선택 게이트들(105)과, 입출력라인 쌍(1/0,  $\overline{1/0}$ )과, 입출력라인 드라이버 및 프리차지 회로(107)과, 데이터 입력버퍼(109)와, 입출력라인 감지증폭기(111), 및 데이터 출력버퍼(113)를 구비한다.

도 2는 도 1에 도시된 종래의 반도체 메모리장치의 동작 타이밍도로서, CLK는 외부에서 인가되는 클럭, CAS는 칼럼어드레스 스트로브 신호, WE는 기입 인에이블 신호, CSL은 상기 칼럼선택 게이트들(105)을 제어하는 칼럼선택라인, P1OPR은 상기 입출력라인 드라이버 및 프리차지 회로(107)의 프리차지 회로 부분을 제어하는 프리차지 제어신호, PDT는 상기 입출력라인 드라이버 및 프리차지 회로(107)의 입출력라인 드라이버 부분을 인에이블시키는 인에이블 신호이다.

도 1 및 도 2를 참조하면, 기입동작 및 독출동작 동안에 상기 입출력라인 쌍(1/0,  $\overline{1/0}$ )은 상기 프리차지 제어신호(P1OPR)에 의해 제어되는 프리차지 회로에 의해 소정의 시간동안 등화 및 프리차지된다. 즉, 상기 칼럼선택라인(CSL)이 디스에이블된 다음에 상기 프리차지 제어신호(P1OPR)이 인에이블되어 상기 입출력라인 쌍(1/0,  $\overline{1/0}$ )이 프리차지되기 시작하고, 상기 칼럼선택라인(CSL)이 인에이블되기 전에 상기 프리차지 제어신호(P1OPR)이 디스에이블되어 상기 입출력라인 쌍(1/0,  $\overline{1/0}$ )의 프리차지가 끝나게 된다(t1 구간 및 t2 구간). 기입동작 동안의 프리차지 시간(t1)과 독출동안의 프리차지 시간(t2)은 동일하다. 그런데, 독출 동작시에는 상기 비트라인쌍의 전위를 상기 입출력 라인쌍으로 제대로 전달하기 위해, 충분한 프리차지 및 이퀄라이즈가 이루어져야 한다. 그러나, 기입 동작시에는 프리차지 및 이퀄라이즈가 독출 동작시 만큼 중요하지는 않다. 따라서, 기입 동작시의 프리차지 시간(t1)을 독출동안의 프리차지 시간(t2)과 같게 할 필요가 없는데도 불구하고 종래에는 같게 함으로써, 기입 시간이 길어지는 문제점이 있다.

또한, 기입동작 동안에는 상기 입출력라인 드라이버 및 프리차지 회로(107)의 입출력라인 드라이버 부분이 상기 인에이블 신호(PDT)에 의해 인에이블되어 상기 입출력라인 쌍(1/0,  $\overline{1/0}$ )을 구동한다. 이때 상기 인에이블 신호(PDT)는 상기 프리차지 제어신호(P1OPR)이 디스에이블된 후, 즉 t1후 인에이블되고 상기 칼럼선택라인(CSL)이 다시 인에이블되기 전에 디스에이블된다. 또한 기입시간( $t_w$ )은 상기 칼럼선택라인(CSL)이 인에이블되는 시점에 의해 결정되는 것이 아니고 상기 인에이블 신호(PDT)가 인에이블되는 시점, 즉 상기 입출력라인 드라이버(107)이 동작되는 시점에 의해 기입시간이 결정된다.

상기와 같이 동작 타이밍이 구성됨으로써, 독출동작시 프리차지 패스와 상기 비트라인 감지증폭기(103) 사이의 DC 전류패스가 방지되고 기입동작시 프리차지 패스와 상기 입출력라인 드라이버(107) 사이의 DC 전류패스가 방지된다.

그런데 상술한 종래의 반도체 메모리장치에서는, 기입동작시 상기 칼럼선택라인(CSL)이 인에이블되기 직전, 즉 상기 칼럼선택라인(CSL)이 인에이블되는 시점과 거의 동시에 상기 입출력라인 드라이버(107)를 인에이블시키는 상기 인에이블 신호(PDT)가 인에이블되므로, 상기 비트라인 쌍(BL,  $\overline{BL}$ )과 상기 입출력라인 쌍(1/0,  $\overline{1/0}$ )은 거의 동시에 디벨럽(Develop)된다. 따라서 상기 종래의 반도체 메모리장치에서는, 상기 비트라인 쌍(BL,  $\overline{BL}$ )과 상기 입출력라인 쌍(1/0,  $\overline{1/0}$ )의 부하물에 의해 기입시간이 길어지게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는, 메모리장치와 MML과 같은 반도체장치에서 프리차지 스킴을 변경함으로써 기입시간이 감소되는 반도체장치를 제공하는 데 있다.

본 발명이 이루고자하는 다른 기술적 과제는, 메모리장치와 MML과 같은 반도체장치에서 기입시간을 감소시키기 위한 프리차지 방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체장치는, 비트라인 쌍, 입출력라인 쌍, 프리차지 회로, 입출력라인 드라이버를 구비하며 특히 프리차지 제어회로를 구비하는 것을 특징으로 한다.

상기 비트라인 쌍에는 데이터를 기입하고 독출하기 위한 다수의 메모리셀들이 접속되고, 상기 비트라인 쌍과 상기 입출력라인 쌍은 칼럼선택라인에 의해 제어되는 칼럼선택 게이트들을 통해 접속된다. 상기 프리차지 회로는, 기입동작 및 독출동작시 프리차지 신호에 응답하여 상기 입출력라인 쌍을 프리차지하고 등화시킨다. 상기 입출력라인 드라이버는, 기입동작시 인에이블 신호에 응답하여 입력데이터를 받아 상기 입출력라인 쌍을 구동한다. 특히 상기 프리차지 제어회로는, 기입동작시의 프리차지 및 등화 시간이 독출동작시의 프리차지 및 등화 시간보다 짧아지도록 하기 위해, 프리차지 동작의 시작을 알리는 프리차지 제어신호와 상기 인에이블 신호에 응답하여 상기 프리차지 신호를 발생한다. 상기 인에이블 신호는 상기 칼럼선택 게이트를 제어하는 칼럼선택라인이 인에이블되기 소정의 시간 전에 인에이블되고, 상기 프리차지 신호는 상기 인에이블 신호의 인에이블에 응답하여 디스에이블되는 것을 특징으로 한다.

상기 프리차지 제어회로는 상기 프리차지 제어신호와 상기 인에이블 신호를 논리곱하여 상기 프리차지 신호를 발생하는 논리곱 수단을 구비한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 프리차지 방법은, 다수의 메모리셀들이 접속되는 비트라인 쌍과, 칼럼선택 게이트를 통해 상기 비트라인 쌍과 접속되는 입출력라인 쌍과, 기입동작 및 독출동작시 프리차지 신호에 응답하여 상기 입출력라인 쌍을 프리차지하고 등화시키는 프리차지 회로와, 인에이블 신호에 응답하여 입력데이터를 받아 상기 입출력라인 쌍을 구동하는 입출력라인 드라이버를 구비하는 반도체장치의 프리차지 방법에 있어서,

기입동작 및 독출동작시 프리차지 동작의 시작을 알리는 프리차지 제어신호를 발생하는 단계, 상기 프리

차지 제어신호의 인에이블에 응답하여, 상기 프리차지 신호를 인에이블하는 단계; 상기 칼럼선택 게이트를 제어하는 칼럼선택라인이 인에이블되기 소정의 시간 전에 상기 인에이블 신호를 인에이블하는 단계; 및 상기 인에이블 신호의 인에이블에 응답하여, 상기 프리차지 신호를 디스에이블하는 단계들을 구비하는 것을 특징으로 한다.

이하 본 발명에 따른 반도체장치의 구성 및 동작과 그 회로에서 수행되는 프리차지 방법을 첨부도면을 참조하여 상세히 설명하겠다.

도 3은 본 발명에 따른 반도체장치의 블록도로서, 여기에서는 데이터패스, 즉 외부에서 인가되는 데이터를 메모리셀에 기입하기 위한 기입 데이터패스와 메모리셀에 저장된 데이터를 외부로 독출하기 위한 독출 데이터패스만이 도시되어 있다.

도 3을 참조하면, 본 발명에 따른 반도체장치는, 다수의 메모리셀들(301)(여기에서는 1개만이 도시되었음)과, 워드라인(WL)과, 비트라인 쌍(BL,  $\overline{BL}$ )과, 비트라인 감지증폭기(303)과, 칼럼선택 게이트들(305)와, 입출력라인 쌍(I/O,  $\overline{IO}$ )과, 입출력라인 드라이버 및 프리차지 회로(307)과, 데이터 입력버퍼(309)와, 프리차지 제어회로(311)과, 입출력라인 감지증폭기(313), 및 데이터 출력버퍼(315)를 구비한다.

상기 비트라인 쌍(BL,  $\overline{BL}$ )에는 데이터를 기입하고 독출하기 위한 다수의 메모리셀들(301)이 접속되고, 상기 비트라인 쌍(BL,  $\overline{BL}$ )과 상기 입출력라인 쌍(I/O,  $\overline{IO}$ )은 칼럼선택라인(CSL)에 의해 제어되는 칼럼선택 게이트들(305)을 통해 접속된다. 상기 입출력라인 드라이버 및 프리차지 회로(307)의 프리차지 회로는, 기입동작 및 독출동작시 프리차지 신호 및 이의 반전신호( $S, \overline{S}$ )에 응답하여 상기 입출력라인 쌍(I/O,  $\overline{IO}$ )을 프리차지하고 등화시킨다. 상기 입출력라인 드라이버 및 프리차지 회로(307)의 입출력라인 드라이버는, 기입동작시 인에이블 신호(PDT)에 응답하여 입력데이터(DATA,  $\overline{DATA}$ )를 받아 상기 입출력라인 쌍(I/O,  $\overline{IO}$ )을 구동한다. 특히 상기 프리차지 제어회로(311)은, 기입동작시의 프리차지 및 등화 시간이 독출동작시의 프리차지 및 등화 시간보다 짧아지도록 하기 위해, 프리차지 동작의 시작을 알리는 프리차지 제어신호(PIOPR)와 상기 인에이블 신호(PDT)에 응답하여 상기 입출력라인 드라이버 및 프리차지 회로(307)의 프리차지 회로를 제어하는 상기 프리차지 신호( $S, \overline{S}$ )를 발생한다.

상기 인에이블 신호(PDT)는 상기 칼럼선택 게이트들(305)을 제어하는 칼럼선택라인(CSL)이 인에이블되기 소정의 시간 전에 인에이블된다. 상기 프리차지 신호( $S$ )는 상기 인에이블 신호(PDT)가 인에이블되면, 즉 시 디스에이블된다. 따라서, 기입동작시의 상기 입출력 라인쌍(I/O,  $\overline{IO}$ )의 프리차지 및 이퀄라이즈 시간이 짧아진다. 즉, 상기 입출력 라인쌍(I/O,  $\overline{IO}$ )이 완전하게 이퀄라이즈 및 일정 프리차지 레벨에 채 도달하기 전에, 상기 인에이블 신호(PDT)가 인에이블될 수 있다. 상기 인에이블 신호가 인에이블되면, 상기 입출력 라인쌍(I/O,  $\overline{IO}$ )이 디벨팅된다. 상기 인에이블 신호(PDT)가 인에이블된 후 상기 칼럼선택라인(CSL)이 인에이블되기 까지 소정의 시간 간격이 있으므로 상기 입출력 라인쌍(I/O,  $\overline{IO}$ )은 충분히 디벨팅된다. 따라서, 상기 칼럼선택라인(CSL)이 인에이블되면, 빨리 비트라인쌍(BL,  $\overline{BL}$ )으로 데이터가 전달된다.

상기 데이터 입력버퍼(309)는, 기입동작시 외부에서 인가되는 데이터(Din)을 버퍼링하여 상기 입력데이터(DATA,  $\overline{DATA}$ )를 출력한다. 상기 비트라인 감지증폭기(303)은 독출동작시 상기 메모리셀(301)로부터 상기 비트라인(BL)에 전달된 미세한 전압을 감지증폭하며, 상기 입출력라인 감지증폭기(313)는 상기 메모리셀(301)로부터 상기 비트라인 쌍(BL,  $\overline{BL}$ )을 경유하여 상기 입출력라인 쌍(I/O,  $\overline{IO}$ )에 전달된 데이터를 감지증폭한다. 상기 데이터 출력버퍼(315)는 상기 입출력라인 감지증폭기(313)의 출력을 버퍼링하여 외부로 출력한다.

도 4는 도 3에 도시된 입출력라인 드라이버 및 프리차지 회로(307)와 프리차지 제어회로(311)의 상세 회로도이다.

도 4를 참조하면, 상기 입출력라인 드라이버 및 프리차지 회로(307)의 프리차지 회로(401)은, 상기 입출력라인 쌍(I/O,  $\overline{IO}$ ) 사이에 직렬접속되고 접속노드에 전원전압(VDD)이 인가되며 각각의 게이트에 상기 프리차지 신호( $S$ )가 인가되는 엔모스 트랜지스터들(401a, 401b)와, 상기 입출력라인 쌍(I/O,  $\overline{IO}$ ) 사이에 접속되고 게이트에 상기 프리차지 신호( $S$ )가 인가되는 엔모스 트랜지스터(401c)와, 상기 입출력라인 쌍(I/O,  $\overline{IO}$ ) 사이에 접속되고 게이트에 상기 프리차지 신호( $S$ )의 반전신호( $\overline{S}$ )가 인가되는 피모스 트랜지스터(401d)로 구성된다.

상기 입출력라인 드라이버 및 프리차지 회로(307)의 입출력라인 드라이버(403)은, 노아게이트들(403a, 403b, 403h, 403j)과, 인버터들(403c, 403g, 403k)와, 피모스 트랜지스터들(403d, 403f)와, 엔모스 트랜지스터들(403e, 403i)을 포함하여 구성되고, 필요에 따라 다른 논리게이트들로 구성될 수 있다. 상기 입출력라인 드라이버(403)은, 기입동작시 상기 입출력라인 드라이버(403)을 인에이블시키는 상기 인에이블 신호(PDT)에 응답하여 상기 입력데이터(DATA,  $\overline{DATA}$ )를 받아 상기 입출력라인 쌍(I/O,  $\overline{IO}$ )을 구동하며, 여기에서 상기 입출력라인 드라이버(403)의 상세한 동작은 생략하겠다.

상기 프리차지 제어회로(311)는, 프리차지 동작의 시작을 알리는 상기 프리차지 제어신호(PIOPR)와 상기 인에이블 신호(PDT)를 논리곱하여 상기 프리차지 신호( $S$ )를 발생하는 논리곱 수단과, 상기 프리차지 신호( $S$ )를 반전하여 상기 반전신호( $\overline{S}$ )를 발생하는 반전수단으로 구성된다. 여기에서는 상기 프리차지 제어신

호(P10PR)를 반전시키는 인버터(405c)와, 상기 인버터(405c)의 출력 및 상기 인에이블 신호(PDT)를 입력으로 하여 상기 프리차지 신호(S)를 발생하는 노아게이트(405b)와, 상기 프리차지 신호(S)를 반전시켜 상기 반전신호( $\bar{S}$ )를 발생하는 인버터(405a)로 구성된 경우가 도시되어 있으며, 필요에 따라 다른 논리게이트들로 구성될 수 있다. 상기 인에이블 신호(PDT)는 상기 프리차지 제어신호(P10PR)가 디스에이블되기 소정의 시간 전에, 또한 상기 칼럼선택라인(CSL)이 인에이블되기 소정의 시간 전에 인에이블되도록 조절되어 인가된다. 따라서, 기입동작시 프리차지 시작 시점은 독출동작시의 프리차지 시작 시점과 마찬가지로, 기입동작시 프리차지 종료 시점은 독출동작시의 프리차지 종료 시점보다 빨라진다.

도 5는 도 3에 도시된 본 발명에 따른 반도체장치의 동작 타이밍도이다.

이하 도 5에 도시된 동작 타이밍도를 참조하여 도 3에 도시된 반도체장치의 동작과 프리차지 방법을 설명하겠다.

먼저 기입동작을 살펴보면, 외부에서 인가되는 칼럼어드레스 스트로브 신호(CASB)와 기입 인에이블 신호(WEB)가 논리 '로우'로 인에이블된 상태에서 외부에서 인가되는 클럭(CLK)이 논리 '하이'로 될 때 상기 칼럼선택라인(CSL)이 논리 '로우'로 디스에이블되고 또한 프리차지 동작의 시작을 알리는 상기 프리차지 제어신호(P10PR)이 논리 '하이'로 인에이블된다. 이때 상기 입출력라인 드라이버 및 프리차지 회로(307)의 입출력라인 드라이버를 인에이블시키는 상기 인에이블 신호(PDT)는 논리 '로우'를 유지하므로, 상기 프리차지 제어회로(311)에 의해 상기 프리차지 신호(S)가 논리 '하이'로 인에이블되어 상기 입출력라인 드라이버 및 프리차지 회로(307)의 프리차지 회로가 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )를 프리차지하고 등화시키기 시작한다. 소정의 시간(t3)이 지난 다음 상기 프리차지 제어신호(P10PR)이 디스에이블되기 소정의 시간 전에, 또한 상기 칼럼선택라인(CSL)이 인에이블되기 소정의 시간 전에, 상기 인에이블 신호(PDT)가 논리 '하이'로 인에이블된다. 이에 따라 상기 프리차지 신호(S)가 논리 '로우'로 디스에이블되어 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )의 프리차지 및 등화동작이 종료된다. 또한, 상기 인에이블 신호(PDT)가 논리 '하이'로 인에이블된 상태이므로, 상기 입출력라인 드라이버 및 프리차지 회로(307)의 입출력라인 드라이버가 동작하기 시작하여 입력데이터(DATA,  $\bar{DATA}$ )를 받아 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )을 구동한다. 이에 따라 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )가 디벨팅되기 시작한다. 상기 칼럼선택라인(CSL)이 인에이블되기 까지 소정의 시간 간격이 있으므로, 상기 칼럼선택라인(CSL)이 인에이블되는 시점에는, 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )이 충분히 디벨팅된 상태이다. 따라서, 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )의 데이터가 상기 비트라인 쌍(BL,  $\bar{BL}$ )을 통해 메모리셀(301)에 신속하게 저장된다.

독출동작은 상기 기입동작과 반대의 패스로 동작하며 상세한 설명은 생략하겠다. 독출동작에서는 상기 인에이블 신호(PDT)가 논리 '로우'로 디스에이블된 상태를 계속 유지하므로 상기 프리차지 신호(S)는 상기 프리차지 제어신호(P10PR)이 논리 '하이'로 인에이블되는 구간(t4) 동안 논리 '하이'로 인에이블된다.

따라서 상술한 본 발명에 따른 반도체장치에서는 기입동작에서의 프리차지 시간(t3)이 독출동작에서의 프리차지 시간(t4)보다 짧으며, 또한 상기 입출력라인 드라이버 및 프리차지 회로(307)의 입출력라인 드라이버를 액티브시키는 상기 인에이블 신호(PDT)의 인에이블 시점도 빠르다. 이에 따라 기입동작에서 짧은 시간동안 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )이 프리차지되고 또한 상기 입출력라인 쌍(I/O,  $\bar{I/O}$ )이 충분히 디벨팅된 후에 상기 칼럼선택라인(CSL)이 인에이블되므로, 상기 칼럼선택라인(CSL)이 인가되는 칼럼선택게이트들(305)의  $V_{ds}$ (드레인과 소오스 사이의 전압)가 충분히 커지게 되어 상기 비트라인 쌍(BL,  $\bar{BL}$ )으로의 데이터 전달이 빨라지게 된다. 즉 기입시간이 줄어들게 된다.

이상과 같이, 본 발명을 일 실시예를 들어 한정적으로 설명하였으나 이에 한정되지 않으며 본 발명의 사상의 범위 내에서 당해 분야의 통상의 지식을 가진 자에 의해 본원 발명에 대한 각종 변형이 가능함은 자명하다.

#### 발명의 효과

상술한 바와 같이 본 발명에 따른 반도체장치에서는 프리차지 제어회로에 의해 기입동작에서의 프리차지 시간이 짧고, 또한 입출력라인도 빨리 드라이브된다. 따라서, 기입시간이 감소되는 장점이 있다.

#### (5) 청구의 범위

##### 청구항 1

다수의 메모리셀들이 접속되는 비트라인 쌍;

칼럼선택 게이트를 통해 상기 비트라인 쌍과 접속되는 입출력라인 쌍;

기입동작 및 독출동작시 프리차지 신호에 응답하여 상기 입출력라인 쌍을 프리차지하고 등화시키는 프리차지 회로;

기입동작시 인에이블 신호에 응답하여 입력데이터를 받아 상기 입출력라인 쌍을 구동하는 입출력라인 드라이버; 및

기입동작시의 프리차지 및 등화 시간이 독출동작시의 프리차지 및 등화 시간보다 짧아지도록 하기 위해, 프리차지 동작의 시작을 알리는 프리차지 제어신호와 상기 인에이블 신호에 응답하여 상기 프리차지 신호를 발생하는 프리차지 제어회로를 구비하며,

상기 인에이블 신호는 상기 칼럼선택 게이트를 제어하는 칼럼선택라인이 인에이블되기 소정의 시간 전에

인에이블되고,

상기 프리차지 신호는 상기 인에이블 신호의 인에이블에 응답하여 디스에이블되는 것을 특징으로 하는 반도체장치.

#### 청구항 2

제1항에 있어서, 기입동작시 외부에서 인가되는 데이터를 버퍼링하여 상기 입력데이터를 출력하는 데이터 입력버퍼와, 독출동작시 선택된 메모리셀로부터 상기 비트라인 쌍을 경유하여 상기 입출력라인 쌍에 전달된 출력데이터를 감지증폭하는 입출력라인 감지증폭기와, 상기 입출력라인 감지증폭기의 출력을 버퍼링하여 외부로 출력하는 데이터 출력버퍼를 더 구비하는 것을 특징으로 하는 반도체장치.

#### 청구항 3

제1항에 있어서, 상기 프리차지 제어회로는 상기 프리차지 제어신호와 상기 인에이블 신호를 논리곱하여 상기 프리차지 신호를 발생하는 논리곱 수단을 구비하는 것을 특징으로 반도체장치.

#### 청구항 4

다수의 메모리셀들이 접속되는 비트라인 쌍과, 칼럼선택 게이트를 통해 상기 비트라인 쌍과 접속되는 입출력라인 쌍과, 기입동작 및 독출동작시 프리차지 신호에 응답하여 상기 입출력라인 쌍을 프리차지하고 등화시키는 프리차지 회로와, 인에이블 신호에 응답하여 입력데이터를 받아 상기 입출력라인 쌍을 구동하는 입출력라인 드라이버를 구비하는 반도체장치의 프리차지 방법에 있어서,

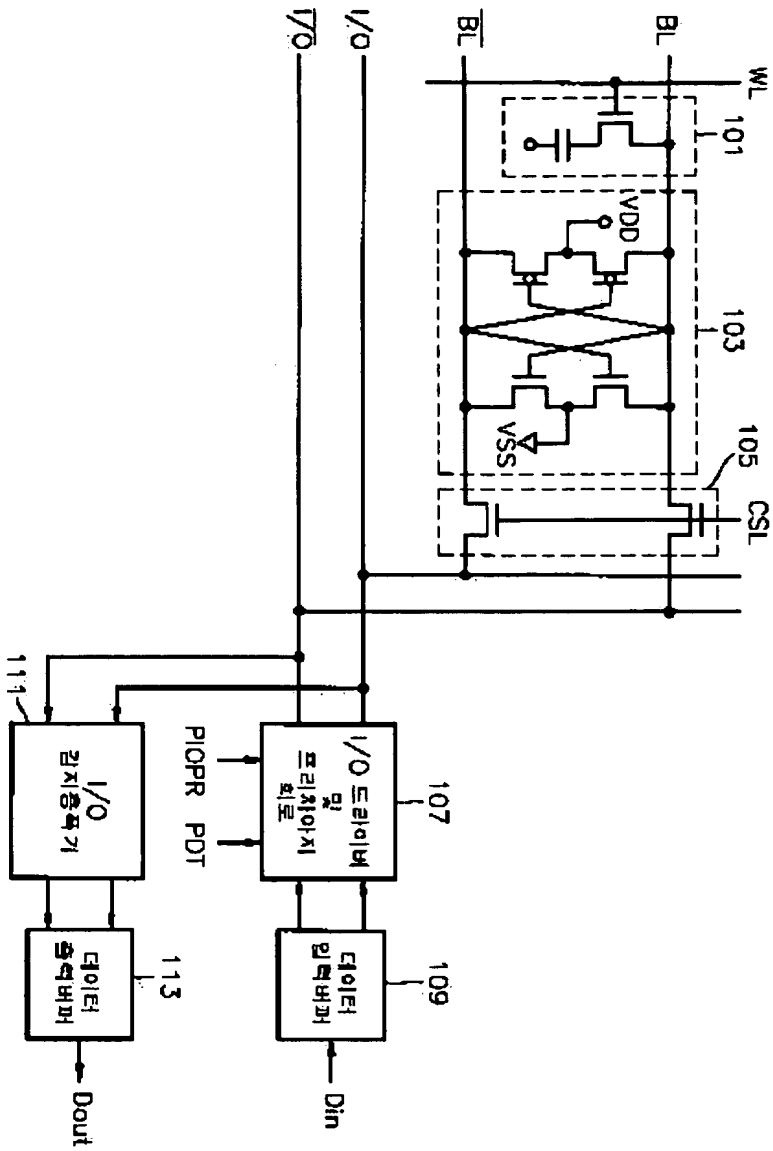
기입동작 및 독출동작시 프리차지 동작의 시작을 알리는 프리차지 제어신호를 발생하는 단계;

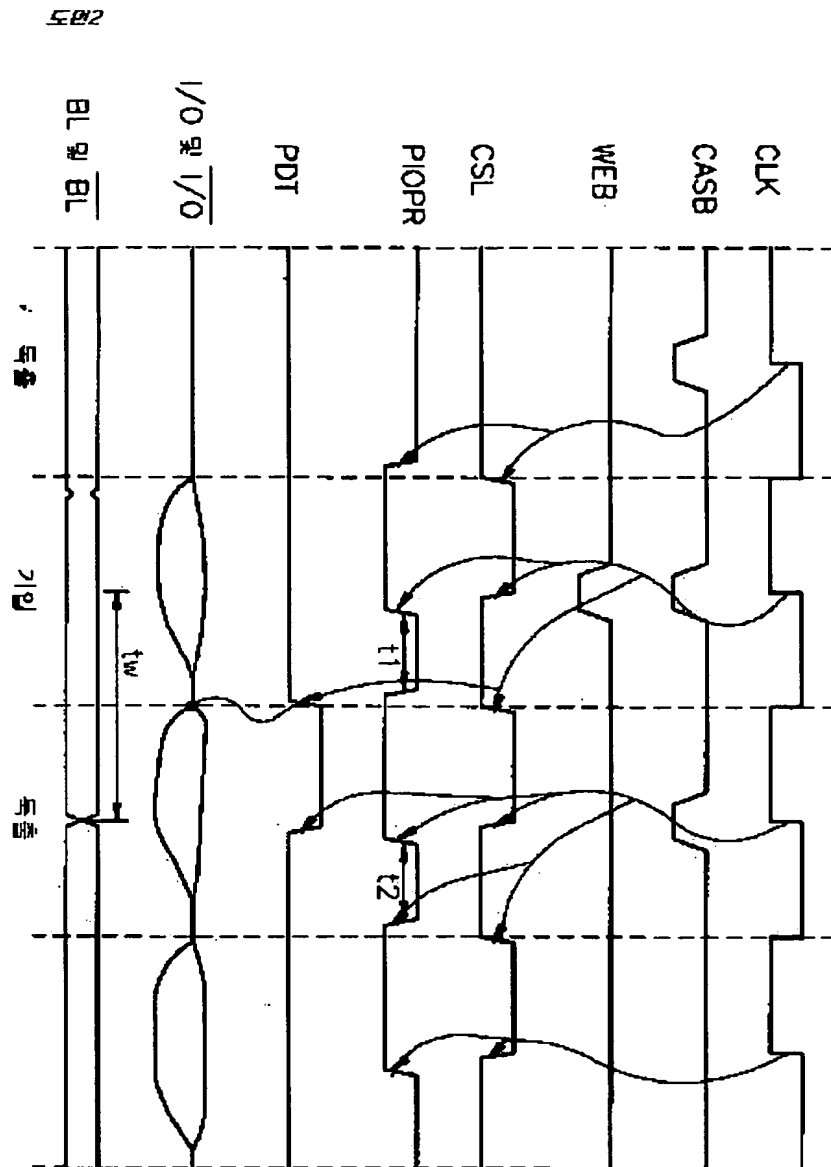
상기 프리차지 제어신호의 인에이블에 응답하여, 상기 프리차지 신호를 인에이블하는 단계;

상기 칼럼선택 게이트를 제어하는 칼럼선택라인이 인에이블되기 소정의 시간 전에 상기 인에이블 신호를 인에이블하는 단계; 및

상기 인에이블 신호의 인에이블에 응답하여, 상기 프리차지 신호를 디스에이블하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 프리차지 방법.

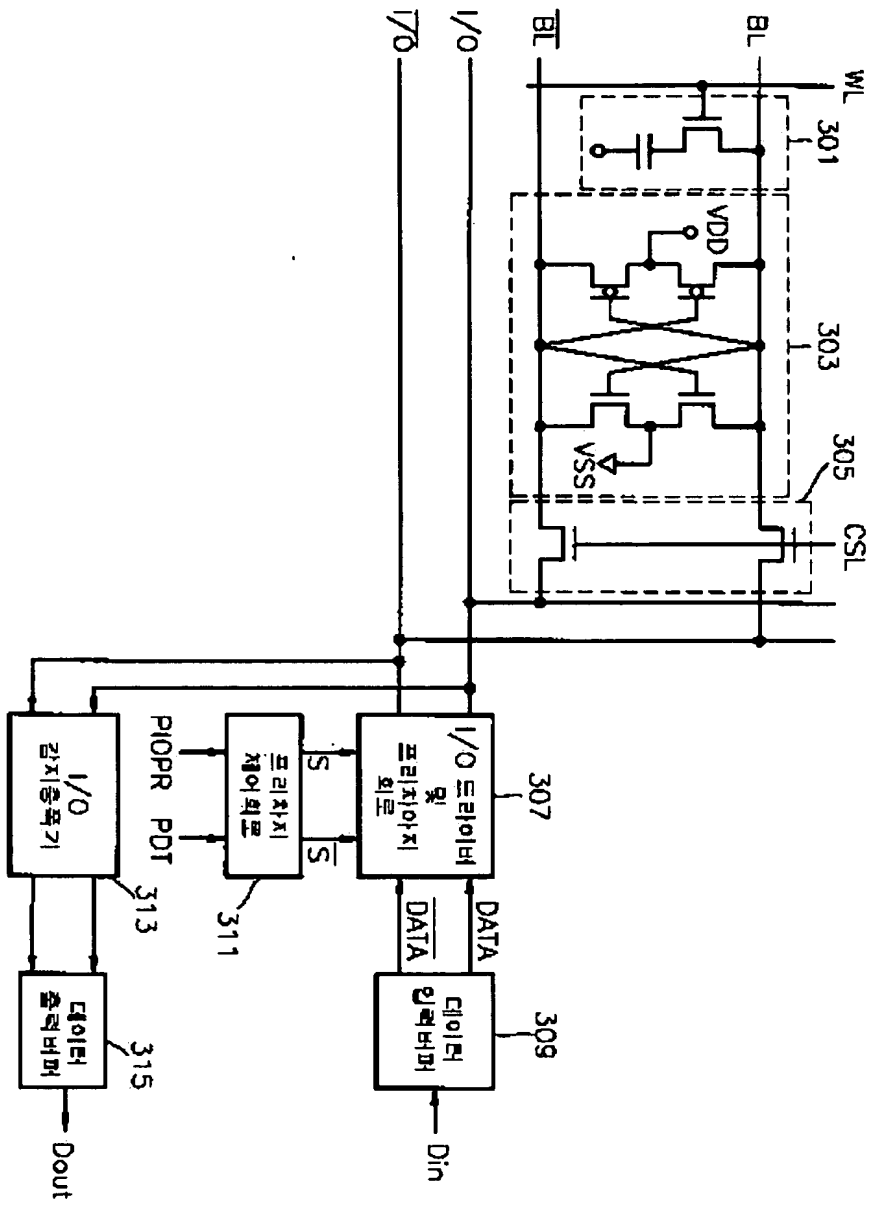
도 1







도 3



5B14

